

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2002 年 11 月 25 日  
Application Date

申 請 案 號：091134161  
Application No.

申 請 人：全懋精密科技股份有限公司  
Applicant(s)

局 長  
Director General

祭 練 生

發文日期：西元 2003 年 7 月 24 日  
Issue Date

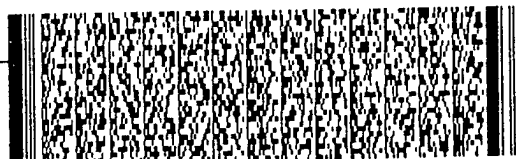
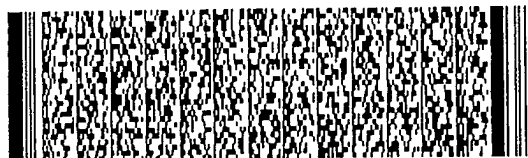
發文字號：09220747080  
Serial No.

|       |       |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： |       |

(以上各欄由本局填註)

# 發明專利說明書

|                    |                       |  |
|--------------------|-----------------------|--|
| 一、<br>發明名稱         | 中 文                   | 半導體封裝基板電性連接墊電鍍金屬層及其製作方法  |
|                    | 英 文                   | SUBSTRATE WITH PLATED METAL LAYER OVER PADS THEREON, AND METHOD FOR FABRICATING THE SAME |
| 二、<br>發明人<br>(共3人) | 姓 名<br>(中文)           | 1. 朱志亮   |
|                    | 姓 名<br>(英文)           | 1. Chih Liang CHU  |
|                    | 國 籍<br>(中英文)          | 1. 中華民國 TW   |
|                    | 住居所<br>(中 文)          | 1. 桃園縣八德市介壽路一段435號3樓   |
|                    | 住居所<br>(英 文)          | 1. 3F, No. 435, Sec. 1, Geh-Sou Rd., Ba-Teh City, Taoyuan Hsien, Taiwan, R.O.C.          |
| 三、<br>申請人<br>(共1人) | 名稱或<br>姓 名<br>(中文)    | 1. 全懋精密科技股份有限公司  |
|                    | 名稱或<br>姓 名<br>(英文)    | 1. PHOENIX PRECISION TECHNOLOGY CORPORATION  |
|                    | 國 籍<br>(中英文)          | 1. 中華民國 TW   |
|                    | 住居所<br>(營業所)<br>(中 文) | 1. 新竹市科學園區力行路6號<br>(本地址與前向貴局申請者相同)   |
|                    | 住居所<br>(營業所)<br>(英 文) | 1. No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.          |
|                    | 代表人<br>(中文)           | 1. 林文伯   |
|                    | 代表人<br>(英文)           | 1. Wen-Po LIN  |



|       |       |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： |       |

(以上各欄由本局填註)

## 發明專利說明書

|                    |                      |   |
|--------------------|----------------------|---|
| 一、<br>發明名稱         | 中文                   |   |
|                    | 英文                   |   |
| 二、<br>發明人<br>(共3人) | 姓名<br>(中文)           | 2. 周鄂東  |
|                    | 姓名<br>(英文)           | 2. E-Tung CHU   |
|                    | 國籍<br>(中英文)          | 2. 中華民國 TW  |
|                    | 住居所<br>(中文)          | 2. 桃園縣中壢市金鋒三街19號  |
|                    | 住居所<br>(英文)          | 2. No. 19, Gin Feng 3rd St., Chung-Li City, Taoyuan Hsien, Taiwan, R.O.C. |
| 三、<br>申請人<br>(共1人) | 名稱或姓名<br>(中文)        |   |
|                    | 名稱或姓名<br>(英文)        |   |
|                    | 國籍<br>(中英文)          |   |
|                    | 住居所<br>(營業所)<br>(中文) |   |
|                    | 住居所<br>(營業所)<br>(英文) |   |
|                    | 代表人<br>(中文)          |   |
|                    | 代表人<br>(英文)          |   |

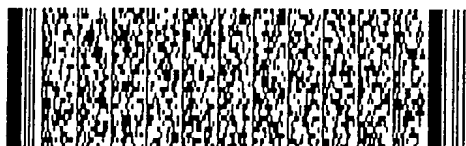


|       |       |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： |       |

(以上各欄由本局填註)

## 發明專利說明書

|                    |                       |   |
|--------------------|-----------------------|---|
| 一、<br>發明名稱         | 中 文                   |   |
|                    | 英 文                   |   |
| 二、<br>發明人<br>(共3人) | 姓 名<br>(中 文)          | 3. 翁林瑩  |
|                    | 姓 名<br>(英 文)          | 3. Lin Yin WONG   |
|                    | 國 籍<br>(中 英 文)        | 3. 中華民國 TW  |
|                    | 住居所<br>(中 文)          | 3. 台北縣樹林市保安二街40巷24號   |
|                    | 住居所<br>(英 文)          | 3. No. 24, Lane 40, Bow-An 2nd St., Su-lin City, Taipei Hsien, Taiwan, R.O.C. |
| 三、<br>申請人<br>(共1人) | 名稱或<br>姓 名<br>(中 文)   |   |
|                    | 名稱或<br>姓 名<br>(英 文)   |   |
|                    | 國 籍<br>(中 英 文)        |   |
|                    | 住居所<br>(營業所)<br>(中 文) |   |
|                    | 住居所<br>(營業所)<br>(英 文) |   |
|                    | 代表人<br>(中 文)          |   |
|                    | 代表人<br>(英 文)          |   |



四、中文發明摘要 (發明名稱：半導體封裝基板電性連接墊電鍍金屬層及其製作方法)

一種半導體封裝基板電性連接墊電鍍金屬層及其製作方法，主要係提供一至少一表面具有複數個電性連接墊之封裝基板；於該基板之表面覆蓋一導電膜；復於該導電膜上形成一光阻層，並使該光阻層具有複數個開孔以顯露出於電性連接墊表面之導電膜；再移除未被該光阻層所覆蓋之導電膜，使該電性連接墊可顯露於該光阻層之開孔；並對該封裝基板進行電鍍，使該電性連接墊外露表面電鍍有一欲形成如鎳/金之金屬層；接著再移除該光阻層及其所覆蓋之導電膜；最後可於該基板表面覆蓋一拒鍍層，並使拒鍍層具有複數個開孔可顯露出已完成電鍍金屬層之電性連接墊。本發明可避免在化學鎳/金製程所產生之跳鍍與黑墊等問題，以有效提昇封裝結構之信賴性；再者，無須於封裝基板之表面另外佈設電鍍導線，藉以大幅增加封裝基板有效佈線面積。

陸、英文發明摘要 (發明名稱：SUBSTRATE WITH PLATED METAL LAYER OVER PADS THEREON, AND METHOD FOR FABRICATING THE SAME)

A substrate with a plated metal layer over pads thereon, and a method for fabricating the substrate are proposed. The substrate is formed with a plurality of pads on at least a surface thereof, and a conductive film is formed on the surface of the substrate. A photoresist is applied over the conductive film and formed with a plurality of through holes for exposing portions

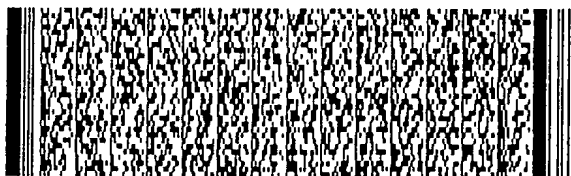
四、中文發明摘要 (發明名稱：半導體封裝基板電性連接墊電鍍金屬層及其製作方法)

本案代表圖：第 4H圖

- 32 線路層
- 35 電性連接墊
- 35c 電鍍金屬層
- 38 拒錐層
- 38a 開孔

陸、英文發明摘要 (發明名稱：SUBSTRATE WITH PLATED METAL LAYER OVER PADS THEREON, AND METHOD FOR FABRICATING THE SAME)

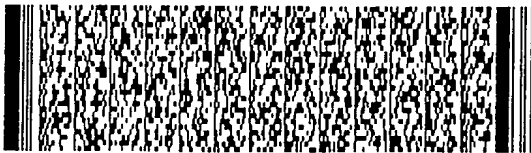
of the conductive film corresponding in position to the pads on the substrate. Then, the exposed portions of the conductive film are removed to expose the pads on the substrate. After a metal layer such as Ni/Au is deposited on the pads by a plating method, the photoresist and the conductive film underneath the photoresist are removed. Finally, a solder mask is applied on the surface



四、中文發明摘要 (發明名稱：半導體封裝基板電性連接墊電鍍金屬層及其製作方法)

陸、英文發明摘要 (發明名稱：SUBSTRATE WITH PLATED METAL LAYER OVER PADS THEREON, AND METHOD FOR FABRICATING THE SAME)

of the substrate and formed with a plurality of openings for exposing the pads with the plated metal layer thereon; this can eliminate drawbacks induced by conventional chemical Ni/Au deposition, and effectively increase routing area of the substrate without having to form plating traces on the substrate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。





## 五、發明說明 (1)

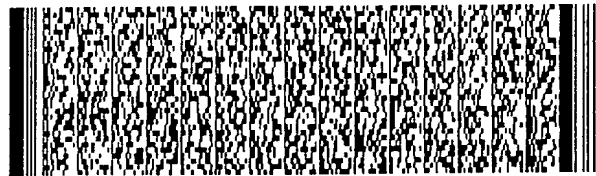
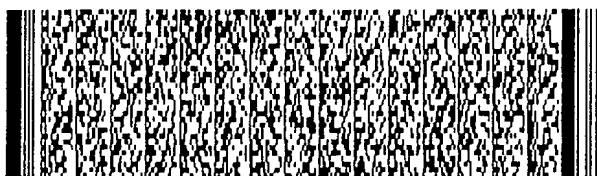
### 【發明領域】

本發明係關於一種半導體封裝基板電性連接墊電鍍金屬層與其製作方法，尤指在晶片封裝用基板之鐳墊外露表面電鍍有一鎳/金金屬層與其製作方法，藉以提供具良好電性連接品質之電性連接墊。

### 【先前技術】

由於電子產業相關技術快速提昇，伴隨電子產品輕小化之趨勢，半導體封裝業者亦面臨著製程上許多關鍵處。其中，用於半導體封裝之基板表面即形成有多數例如由銅材質所組成之導電線路，並由其加以延伸而成之電性連接墊，以作為傳輸電子訊號或電源，同時通常會在該電性連接墊之外露表面形成有一如鎳/金 (Ni/Au) 金屬層，以有效提供其餘導電元件如金線、凸塊或鐳球與晶片或電路板之電性耦合，同時亦可避免因外界環境影響而導致該電性連接墊本體之氧化。該電性連接墊可例如為半導體覆晶封裝基板 (Flip-chip package substrate) 與晶片電性耦合之凸塊鐳墊 (Bump pad) 或預鐳錫鐳墊 (Presolder pad)；該電性連接墊亦可例如封裝基板與電路板作電性耦合之鐳球墊 (Ball pad)，藉由在該電性連接墊本體外露表面形成一鎳/金金屬層，以提供包覆於該鎳/金金屬層內之電性連接墊 (通常為金屬銅) 不易因外界環境影響而氧化，以提高凸塊、預鐳錫或鐳球等植設於電性連接墊之電性連接品質。

習知技藝中有關於電性連接墊表面形成鎳/金金屬層



## 五、發明說明 (2)

之方法包括有化學鎳 / 金製程與電鍍鎳 / 金製程等，惟該化學鎳 / 金製程常發生許多例如跳鍍與黑墊 (Black pad) 等鍍錫性欠佳或鍍點強度不足等問題。該跳鍍問題之產生係於製程中由於化鎳槽降溫休息一段時間再生產時，即使所有作業條件均已備妥，仍會出現電鍍能力不足不易滿鍍之現象，使後續之金無法順利鍍上，因此出現露銅現象；而該黑墊問題之形成，係由於化鎳表面在進行浸金置換時，其鎳面受到過度氧化反應，加以體積甚大之金原子不規則沉積與其粗糙晶粒之稀疏多孔，造成底鎳持續經化學電池效應之促動，而不斷產生氧化與老化，以致金面底下產生未能熔走的鎳鏽所繼續累積而成；上述化學鎳 / 金製程之跳鍍與黑墊之問題均容易造成日後金線、鍍錫凸塊、預鍍錫或鍍球等與電性連接墊間脫落剝離無法相互電性耦合之現象，而產生信賴性之問題。

為避免上述化學鎳 / 金製程問題，另一種於電性連接墊表面形成有鎳 / 金金屬層之方法係採用電鍍鎳 / 金製程，如第 1 圖所示，習知電鍍鎳 / 金之製程係在形成有多數電性連接墊 10 之封裝基板 1 上另外佈設有複數條電鍍導線 11，以透過該電鍍導線 11 將鎳 / 金金屬層 12 電鍍於該電性連接墊 10 上，惟該製程必須預先佈設眾多之電鍍導線 11 以進行電鍍，不僅占據封裝基板 1 之線路佈線面積，使可供佈設線路之面積減少，而且在高頻使用時，因多餘之電鍍導線 11 之天線效應造成雜訊之產生。

為解決上述電鍍鎳 / 金製程之問題，另一採用電鍍製

### 五、發明說明 (3)

程 GPP (Gold pattern plating) 之方式，如第 2A 至 2D 圖所示，已為一般業界所熟悉運用。該製程係首先在用以承載半導體晶片之基板 2 上、下表面上各形成有一導電層 21 (如第 2A 圖所示)，該基板 2 中並形成若干之導通孔 (PTH) 或盲孔 (Blind via) (未圖示)；接著於該基板之導電層 21 上欲形成有線路之區域外覆蓋一光阻層 (Photoresist) 22，以導電層 21 為電流傳導路徑，而在該導電層 21 未被光阻層 22 所覆蓋之處電鍍一鎳 / 金金屬層 23 (如第 2B 圖所示)；之後，移除該光阻層 22，而僅留下該鎳 / 金金屬層 23 (如第 2C 圖所示)；再以該鎳 / 金金屬層 23 作為遮罩阻層，利用蝕刻等方式將導電層 21 線路圖案化而定義出線路層 24，以使該線路層 24 外露表面完成電鍍有一鎳 / 金金屬層 23 (如第 2D 圖所示)。

此一習知技術雖無須另外佈設電鍍導線，惟在基板之整個線路層 (包含電性連接墊與所有導電線路) 表面均覆蓋上一鎳 / 金金屬層，而該鎳 / 金金屬層原料相當昂貴，造成製作成本大幅提高；再者，由於該線路層之導電線路整個上表面均覆蓋有鎳 / 金金屬層，而在後續於基板上覆蓋一拒銲層時，易因兩者材質特性差異，而未能達到穩定之配合，造成可靠度不佳之缺失。

因此，如何藉由簡單製程、花費較少成本，同時避免化學鎳 / 金製程產生之跳鍍與黑墊等信賴性問題，亦或習知電鍍鎳 / 金製程衍生之增設電鍍導線及成本浪費問題，實已成目前亟欲解決的課題。

## 五、發明說明 (4)

### 【發明內容】

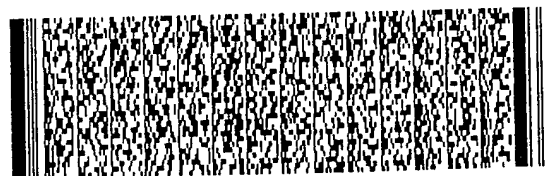
鑒於以上所述習知技術之缺點，本發明之主要目的係提供一種半導體封裝基板電性連接墊電鍍金屬層與其製作方法，俾使電性連接墊之外露表面電鍍有一如鎳/金之金屬層，有助於金線、鉅錫凸塊或鉅球與晶片或電路板之電性耦合，該金屬層使電性連接墊不易因外界環境影響而導致該電性連接墊本體氧化。

本發明之另一目的係提供一種半導體封裝基板電性連接墊電鍍金屬層之製作方法，可避免習知化學鎳/金製程產生之跳鍍與黑墊等問題，以有效提昇封裝結構信賴性。

本發明之又一目的係提供一種半導體封裝基板電性連接墊電鍍金屬層之製作方法，無須於封裝基板之表面另外佈設電鍍導線，藉以大幅增加封裝基板有效佈線面積，並減少因佈設電鍍導線所衍生之雜訊干擾問題。

本發明之再一目的係提供一種半導體封裝基板電性連接墊電鍍金屬層之製作方法，可避免習知製程須於封裝基板之整層線路層上均覆蓋一鎳/金金屬層，而僅在該電性連接墊上形成所需之鎳/金金屬層，藉以有效降低電鍍鎳/金之成本。

為達上揭及其它目的，本發明之半導體封裝基板電性連接墊之電鍍金屬層主要係於封裝基板之至少一表面形成有複數個電性連接墊，該複數電性連接墊電鍍有金屬層，該封裝基板表面覆有一層拒鉅層，拒鉅層具有複數個開孔以顯露電鍍有金屬層之電性連接墊，其中至少有一電性連



##### 五、發明說明 (5)

接墊並未與任何電鍍導線相連通。

本發明之半導體封裝基板電性連接墊電鍍金屬層之製作方法係包括下列步驟：

首先，提供一至少一表面具有複數個電性連接墊之半導體封裝基板，於該基板之表面覆蓋一導電膜 (Electrically conductive film)。

接著，於該導電膜上形成一光阻層，並使該光阻層形成複數個開孔以顯露電性連接墊表面之導電膜。

然後，移除未被該光阻層所覆蓋之導電膜，使該電性連接墊可顯露於該光阻層之開孔。

並對該封裝基板進行電鍍，使該電性連接墊外露表面電鍍有一欲形成如鎳 / 金之金屬層。

之後，移除該光阻層及其所覆蓋之導電膜。

再於該封裝基板表面形成一拒銲層，並使該拒銲層具有複數個開孔以顯露已完成電鍍金屬層之電性連接墊。

藉由本發明之半導體封裝基板電性連接墊電鍍金屬層之製作方法，不僅可提供電性連接墊之外露表面完整包覆有一含鎳 / 金之金屬層，以有效幫助金線、銲錫凸塊、或銲球等與晶片或電路板之電性耦合，同時亦不易因外界環境影響而導致該電性連接墊本體之氧化；且避免習知化學鎳 / 金製程時所產生之跳鍍與黑墊等問題，以有效提昇封裝結構信賴性。同時於電鍍鎳 / 金時無須在封裝基板之表面佈設電鍍導線，藉以大幅增加封裝基板有效佈線面積，並減少因佈設電鍍導線所衍生之雜訊干擾問題；再者亦可

#### 五、發明說明 (6)

避免習知電鍍鎳 / 金製程時，須於封裝基板之整層線路層上均覆蓋一含鎳 / 金之金屬層，以有效降低電鍍鎳 / 金之成本。

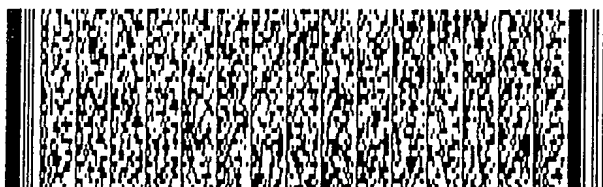
以下列舉實施例以進一步詳細說明本發明，但本發明並不受此等實施例所限制。尤有甚者，本發明電性連接墊電鍍金屬層可廣泛運用於一般封裝基板，圖式及說明雖以覆晶封裝基板闡明其實施情形，惟此應非用以限制本發明運用之範圍，先予敘明。

#### 【實施方式】

請參閱第 3 圖，為應用本發明之半導體封裝基板電性連接墊電鍍金屬層之剖面示意圖。

該封裝基板 3 為一覆晶式球柵陣列式 (Flip chip ball grid array) 封裝基板，係包括有多數之絕緣層 31、與絕緣層交錯疊置之線路層 32、貫穿該些絕緣層以電性連接該線路層之通孔 (Via) 33 以及用以覆蓋保護該基板 3 表面之拒銲層 38。

該基板 3 之絕緣層 31 係可由有機材質、纖維強化 (Fiber-reinforced) 有機材質或顆料強化 (Particle-reinforced) 有機材質等所構成，例如環氧樹脂 (Epoxy resin) 聚乙醯胺 (Polyimide)、順雙丁稀二酸醯亞胺 / 三氮吡 (Bismaleimide triazine-based) 樹脂、氰酯 (Cyanate ester) 等。該線路層 32 之製作，可為先於該絕緣層 31 上形成一金屬導電層，例如為一銅層，復利用蝕刻技術形成一線路圖案化之線路層 32。而在該封裝基板 3 之



#### 五、發明說明 (7)

第一表面 3a 及第二表面 3b 上之線路層 32 則形成有複數之電性連接墊 35，例如在該第一表面 3a 上之電性連接墊 35 可為一凸塊鉅墊或預鉅錫鉅墊，用以提供至少一覆晶型 (Flip chip) 半導體晶片 40 可藉由形成其上之多數鉅錫凸塊 (Solder bump) 39a 電性連接至該基板第一表面 3a 上之電性連接墊，而在該第二表面 3b 上之電性連接墊 35 為一鉅球墊 (Ball pad)，係用以植置多數之鉅球 (Solder ball) 39b 以提供該完成覆晶製程之半導體晶片 40 電性連接至外部裝置，如鉅錫接接合於電路板。

由於該線路層 32 及電性連接墊 35 之材質一般為金屬銅，而為提供該基板第一表面 3a 與第二表面 3b 上之電性連接墊 35，避免受外界環境影響發生氧化，或為有效與鉅錫凸塊 39a 或鉅球 39b 之接合能力，係會在該電性連接墊 35 外露表面電鍍有金屬層 35c 作為金屬阻障層，一般的金屬阻障層包含鎳黏著層以及形成於該電性連接墊 35 上的金保護層。然而，該阻障層亦可藉由電鍍 (electroplating)、無電鍍 (electroless plating) 或物理氣相沈積 (physical vapor deposition) 等方法，沈積金、鎳、鈦、銀、錫、鎳 / 鈦、鉻 / 鈦、鈦 / 金或鎳 / 鈦 / 金等材質而形成之。然後形成一拒鉅層 38，以覆蓋住該基板 3 表面，且拒鉅層形成有若干開孔 38a，使電性連接墊得以顯露於該拒鉅層之開孔 38a，其中至少有一電性連接墊 35 並未與任何電鍍導線相連通。

請參閱第 4A 至第 4H 圖，為本發明之半導體封裝基板電



#### 五、發明說明 (8)

性連接墊電鍍金屬層製作方法之示意圖。

如第4A圖所示，首先提供一封裝基板3，該封裝基板除可為如第3圖所示之覆晶式封裝基板，亦可為打線式(Wire bonding)封裝基板。該封裝基板3並已完成所需之前段製程，例如多數之導通孔(PTH)或盲孔(Blind Via)等(未圖示)形成於其中，該封裝基板3之表面並已形成有一已線路圖案化之線路層32，該線路層32包含有複數個電性連接墊35，當然其亦可包含有若干線路形成於封裝基板3之表面。有關線路圖案化技術繁多，惟乃業界所周知之製程技術，其非本案技術特徵，故未再予贅述。

如第4B圖所，於該封裝基板3表面覆上一導電膜36；該導電膜36主要作為後述進行電鍍金屬層35c所需之電流傳導路徑，可由金屬、合金或堆疊數層金屬層所構成，可選自銅、錫、鎳、鉻、鈦、銅-鉻合金或錫-鉛合金所構成之組群之金屬所形成。惟依實際操作的經驗，該導電膜36較佳係由銅或鈀粒子(特別是無電鍍)所構成，可藉由物理氣相沈積(PVD)、化學氣相沈積(CVD)、無電鍍或化學沈澱，例如濺鍍(sputtering)、蒸鍍(evaporation)、電弧蒸氣沈積(arc vapor deposition)、離子束濺鍍(ion beam sputtering)、雷射熔散沈積(laser ablation deposition)、電漿促進之化學氣相沈積或有機金屬之化學氣相沈積等方法，形成於該封裝基板表面。

如第4C圖所示，於該覆蓋有導電膜36之封裝基板3表面利用印刷、旋塗或貼合等方式形成有一光阻層



#### 五、發明說明 (9)

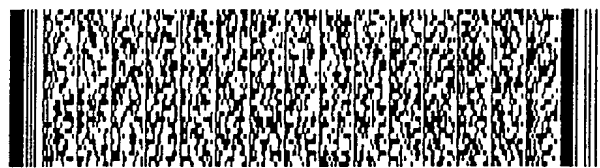
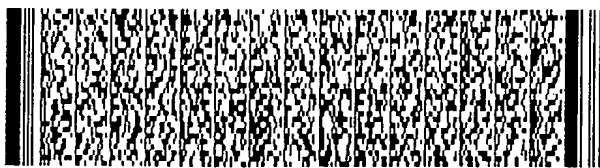
(Photoresist)37，例如乾膜或液態光阻等，並使該光阻層37形成複數個開孔37a，藉以顯露電性連接墊35表面之導電膜36a。

如第4D圖所示，藉由蝕刻或雷射技術移除未被該光阻層37所覆蓋之導電膜36a，亦即移除該光阻層開孔37a中覆蓋於電性連接墊35之導電膜36a，俾顯露出該電性連接墊35。

如第4E圖所示，接著以電鍍方式(Electroplating)對該封裝基板3進行電鍍一金屬層步驟，該電鍍金屬可為金、鎳、鈀、銀、錫、鎳/鈀、鉻/鈦、鎳/金、鈀/金或鎳/鈀/金等。藉由該導電膜36之具導電特性，俾在進行電鍍時可作為電流傳導路徑，較佳者為電鍍鎳/金金屬層，其係先電鍍一層鎳後，再於其上電鍍一層金，鎳/金金屬經由該導電膜36可電鍍於各電性連接墊35顯露之表面，使該電性連接墊35之顯露表面覆蓋有一電鍍金屬層35c，當然本發明電鍍金屬材質之選擇，亦可僅為如前述之鎳、金或其他金屬之一，例如直接以金電鍍於電性連接墊35之顯露表面，其為簡單之替換，皆應屬本發明實施之範疇。

如第4F圖所示，俟完成電鍍鎳/金層35c於該電性連接墊35之外露表面後，先移除該光阻層37，接著，再將先前為該光阻層37所覆蓋之導電膜36移除，如第4G圖所示，即完成欲形成電鍍金屬層35c覆蓋於該電性連接墊35之外露表面。

如第4H圖所示，之後可於該封裝基板3表面覆蓋上一

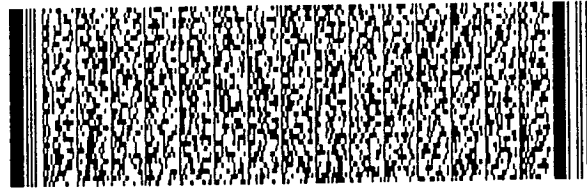
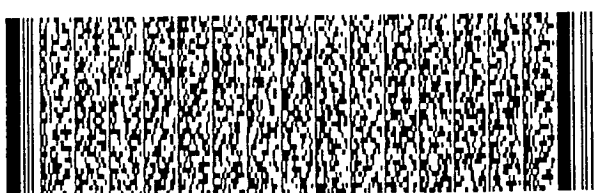


##### 五、發明說明 (10)

拒錒層 (Solder mask) 38，例如綠漆，藉以保護該封裝基板 3 免受外在環境污染破壞，該拒錒層 38 並形成有複數個開孔 38a，使該完成電鍍金屬層 35c 之電性連接墊 35 得以顯露於拒錒層之開孔 38a，其中，該拒錒層開孔 38a 之孔徑係可大於或小於電性連接墊之大小，而覆有電鍍金屬層之電性連接墊即可供與晶片或電路板作為電性連接之界面。

透過本發明之半導體封裝基板電性連接墊電鍍金屬層及其製作方法，不僅可提供封裝基板電性連接墊之顯露表面包覆有一如鎳 / 金之電鍍金屬層，以有效提供與其餘導電元件之電性耦合，同時亦可避免因外界環境影響而導致該電性連接墊本體之氧化；並可避免習知化學鎳 / 金製程時所產生之跳鍍與黑墊等問題，以有效提昇封裝結構之信賴性；再者，於該電性連接墊表面電鍍鎳 / 金金屬製程時，係藉由導電膜作為電流傳導路徑以導通封裝基板上之各電性連接墊，無須於封裝基板之表面另外佈設電鍍導線，藉以大幅增加封裝基板有效佈線面積，並減少因佈設電鍍導線所衍生之雜訊干擾問題；此外亦可避免習知電鍍鎳 / 金金屬層於電性連接墊時，須在封裝基板之整層線路層上均覆蓋有一含鎳 / 金金屬層，藉以有效降低製程成本。

本發明之半導體封裝基板電性連接墊電鍍金屬製作方法中所述之電性連接墊，係例如封裝基板中之打線墊、凸塊錒墊、預錒錫錒墊或錒球墊等，先前圖式僅以一電性連接墊表示，實際上該電性連接墊之數目、作為電鍍時電流



##### 五、發明說明 (11)

傳導路徑以及遮罩用之光阻層，係依實際製程所需而加以設計並分佈於基板表面，且該製程可實施於基板之單一側面或雙側面。

以上所述之具體實施例，僅係用以例釋本發明之特點及功效，而非用以限定本發明之可實施範疇，在未脫離本發明上揭之精神與技術範疇下，任何運用本發明所揭示內容而完成之等效改變及修飾，均仍應為下述之申請專利範圍所涵蓋。



## 圖式簡單說明

### 【圖式簡單說明】

第 1 圖係為習知封裝基板之電性連接墊電鍍有鎳 / 金金屬層之剖面示意圖；

第 2A 至 2D 圖係為另一習知封裝基板之電性連接墊電鍍鎳 / 金製程之剖面示意圖；

第 3 圖係本發明之半導體封裝基板電性連接墊電鍍金屬層之剖面示意圖；以及

第 4A 圖至 4H 圖係本發明之半導體封裝基板電性連接墊電鍍金屬層製作方法之剖面示意圖。

### 【元件符號說明】

|     |        |     |          |
|-----|--------|-----|----------|
| 1   | 封裝基板   | 10  | 電性連接墊    |
| 11  | 電鍍導線   | 12  | 鎳 / 金金屬層 |
| 2   | 基板     | 21  | 導電層      |
| 22  | 光阻層    | 23  | 鎳 / 金金屬層 |
| 24  | 線路層    | 3   | 封裝基板     |
| 3a  | 第一表面   | 3b  | 第二表面     |
| 31  | 絕緣層    | 32  | 線路層      |
| 33  | 通孔     | 35  | 電性連接墊    |
| 35c | 電鍍金屬層  | 36  | 導電膜      |
| 36a | 待移除導電膜 | 37  | 光阻層      |
| 37a | 開孔     | 38  | 拒鍍層      |
| 38a | 開孔     | 39a | 鍍錫凸塊     |
| 39b | 鍍球     | 40  | 半導體晶片    |

## 六、申請專利範圍

1. 一種半導體封裝基板電性連接墊電鍍金屬層之製作方法，其步驟包括：

提供一至少一表面具有複數個電性連接墊之封裝基板，於該基板之表面覆蓋一導電膜；

於該導電膜上形成一光阻層，並使該光阻層形成複數個開孔以顯露電性連接墊表面之導電膜；

移除未被該光阻層所覆蓋之導電膜，使該電性連接墊可顯露於該光阻層之開孔；

對該封裝基板進行電鍍，使該電性連接墊外露表面電鍍有金屬層；以及

移除該光阻層及其所覆蓋之導電膜。

2. 如申請專利範圍第1項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該封裝基板為一覆晶式封裝基板。
3. 如申請專利範圍第1項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該封裝基板為一打線式封裝基板。
4. 如申請專利範圍第1項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該電性連接墊可為凸塊鉅墊。
5. 如申請專利範圍第1項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該電性連接墊可為鉅球墊。
6. 如申請專利範圍第1項之半導體封裝基板電性連接墊電

#### 六、申請專利範圍

鍍金屬層之製作方法，其中，該電鍍金屬層可為金、鎳、鈮、銀、錫、鎳/鈮、鉻/鈦、鎳/金、鈮/金及鎳/鈮/金所構成之群組之金屬所形成。

7. 如申請專利範圍第1項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該導電膜可選自銅、錫、鎳、鉻、鈦、銅-鉻合金及錫-鉛合金所構成之群組之金屬所形成。
8. 如申請專利範圍第1項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該導電膜可以濺鍍 (Sputter)、無電鍍 (Electroless plating) 或物理、化學沉積 (Deposition) 之任一者方式形成。
9. 如申請專利範圍第1項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該光阻層可為一乾膜。
10. 如申請專利範圍第1項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該光阻層可為一液態光阻。
11. 一種半導體封裝基板電性連接墊電鍍金屬層之製作方法，其步驟包括：
  - 提供一至少一，表面具有複數個電性連接墊之封裝基板，於該基板之表面覆蓋一導電膜；
  - 於該導電膜上形成一光阻層，並使該光阻層形成複數個開孔以顯露電性連接墊表面之導電膜；
  - 移除未被該光阻層所覆蓋之導電膜，使該電性連接墊可顯露於該光阻層之開孔；



## 六、申請專利範圍

對該封裝基板進行電鍍，使該電性連接墊外露表面電鍍有金屬層；

移除該光阻層及其所覆蓋之導電膜；以及

再於該封裝基板表面形成一拒銲層，並使該拒銲層具有複數個開孔以顯露已完成電鍍金屬層之電性連接墊。

12. 如申請專利範圍第11項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該拒銲層可為一綠漆。

13. 如申請專利範圍第11項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該拒銲層之開孔孔徑可大於電性連接墊之大小。

14. 如申請專利範圍第11項之半導體封裝基板電性連接墊電鍍金屬層之製作方法，其中，該拒銲層之開孔孔徑可小於電性連接墊之大小。

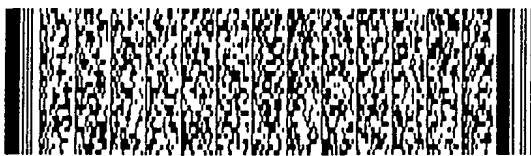
15. 一種半導體封裝基板電性連接墊電鍍金屬層，主要係於封裝基板之至少一表面形成有複數個電性連接墊，該複數電性連接墊電鍍有金屬層，該封裝基板表面覆有一層拒銲層，拒銲層具有複數個開孔以顯露電鍍有金屬層之電性連接墊，其中至少有一電性連接墊並未與任何電鍍導線相連通。

16. 如申請專利範圍第15項之半導體封裝基板電性連接墊電鍍金屬層，其中，該拒銲層之開孔孔徑可大於電性連接墊之大小。



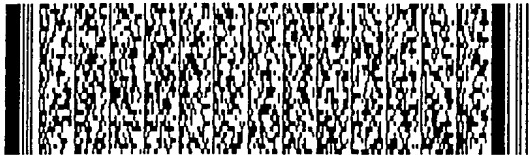
六、申請專利範圍

17. 如申請專利範圍第15項之半導體封裝基板電性連接墊電鍍金屬層，其中，該拒錒層之開孔孔徑可小於電性連接墊之大小。
18. 如申請專利範圍第15項之半導體封裝基板電性連接墊電鍍金屬層，其中，該電性連接墊可為凸塊錒墊。
19. 如申請專利範圍第15項之半導體封裝基板電性連接墊電鍍金屬層，其中，該電性連接墊可為錒球墊。
20. 如申請專利範圍第15項之半導體封裝基板電性連接墊電鍍金屬層，其中，該電鍍金屬層可為金、鎳、鈮、銀、錫、鎳/鈮、鉻/鈦、鎳/金、鈮/金或鎳/鈮/金所構成之群組之金屬所形成。

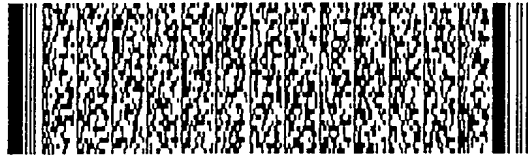




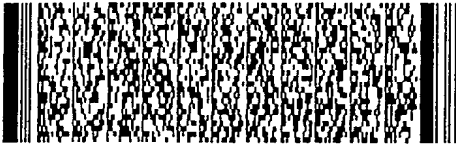
第 1/23 頁



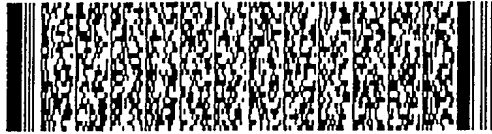
第 1/23 頁



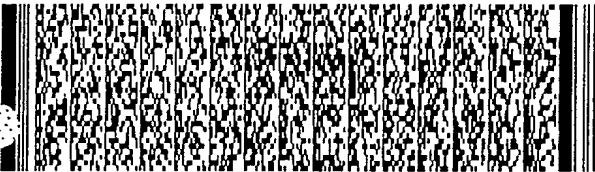
第 2/23 頁



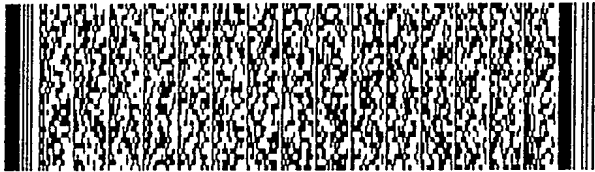
第 3/23 頁



第 4/23 頁



第 4/23 頁



第 5/23 頁



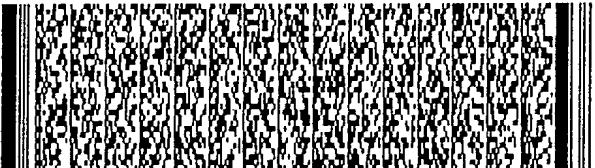
第 6/23 頁



第 7/23 頁



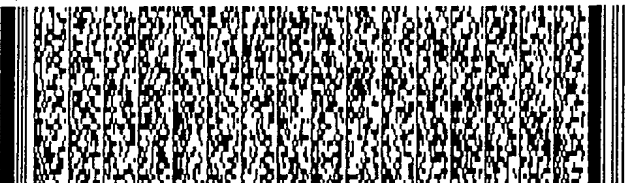
第 8/23 頁



第 8/23 頁



第 9/23 頁



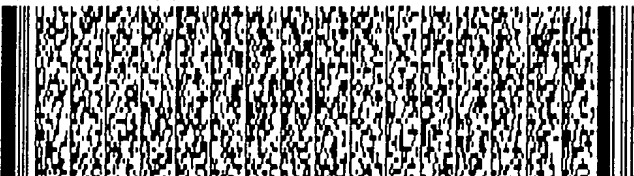
第 9/23 頁



第 10/23 頁



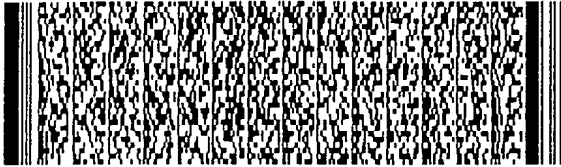
第 10/23 頁



第 11/23 頁



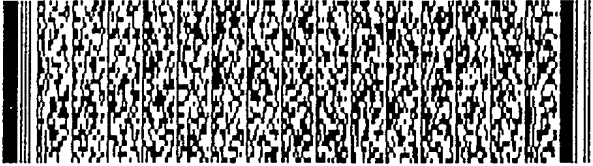
第 11/23 頁



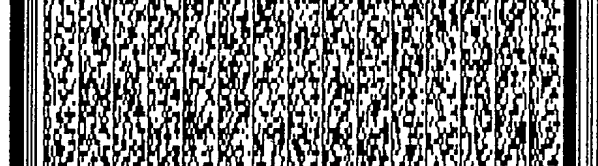
第 12/23 頁



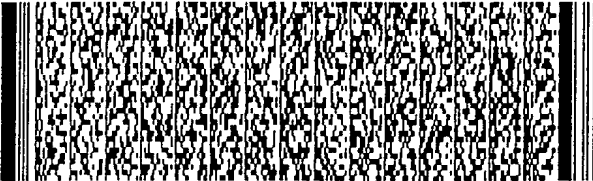
第 12/23 頁



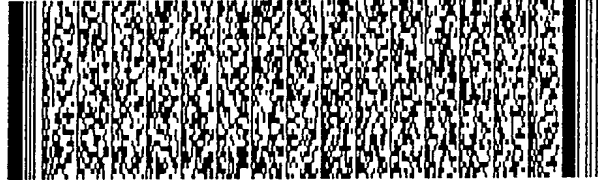
第 13/23 頁



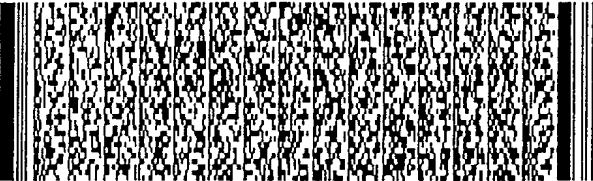
第 13/23 頁



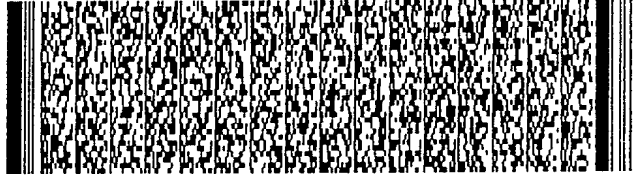
第 14/23 頁



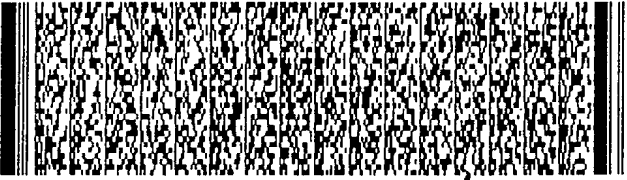
第 14/23 頁



第 15/23 頁



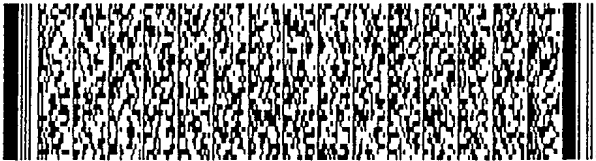
第 15/23 頁



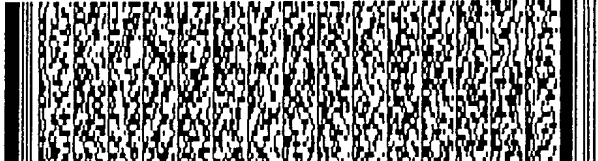
第 16/23 頁



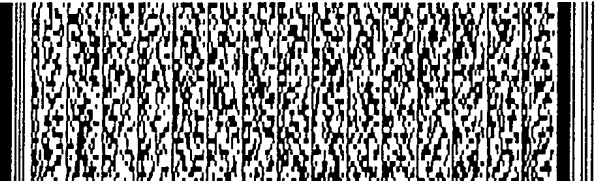
第 16/23 頁



第 17/23 頁



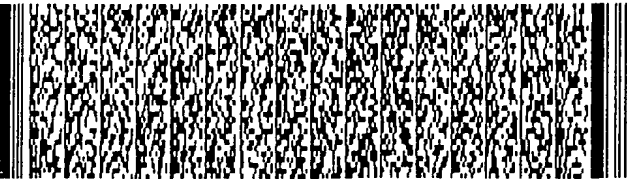
第 17/23 頁



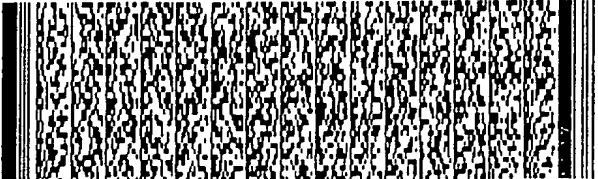
第 18/23 頁



第 19/23 頁



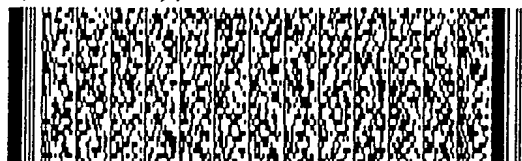
第 20/23 頁



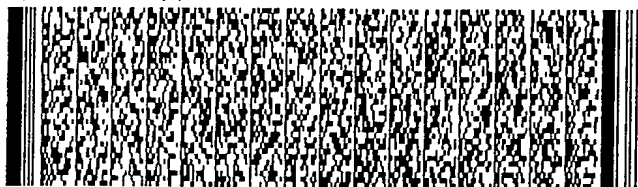
第 21/23 頁



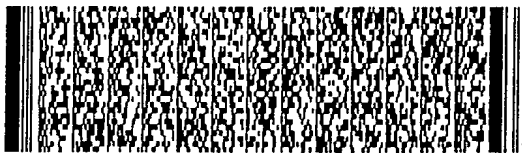
第 21/23 頁

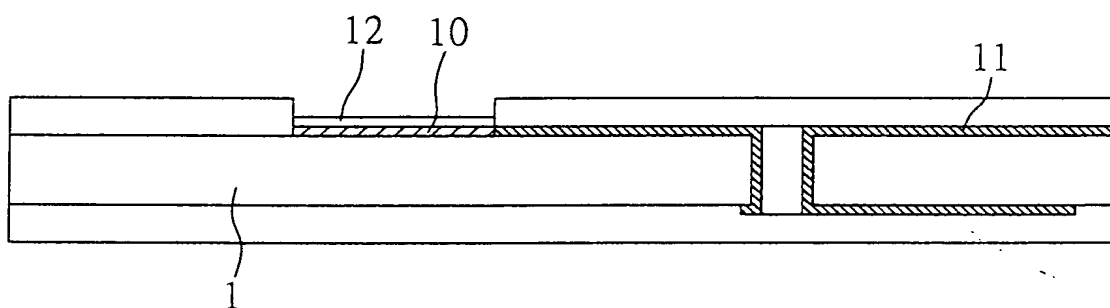


第 22/23 頁

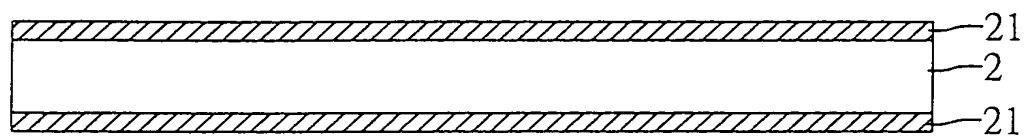


第 23/23 頁

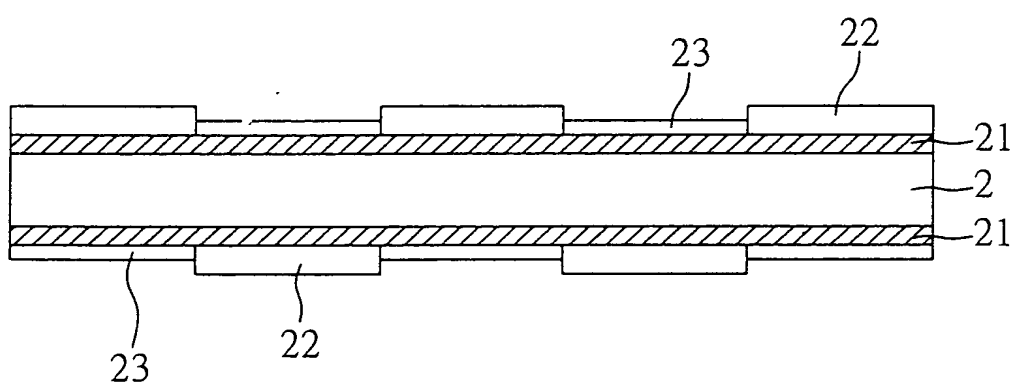




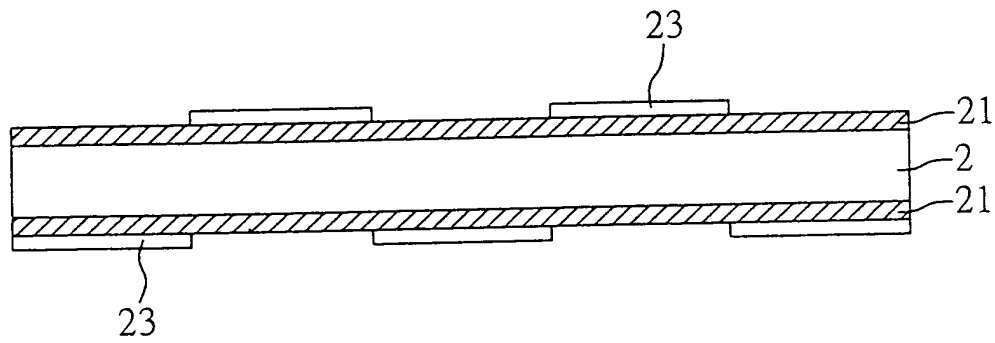
第 1 圖 (習知技術)



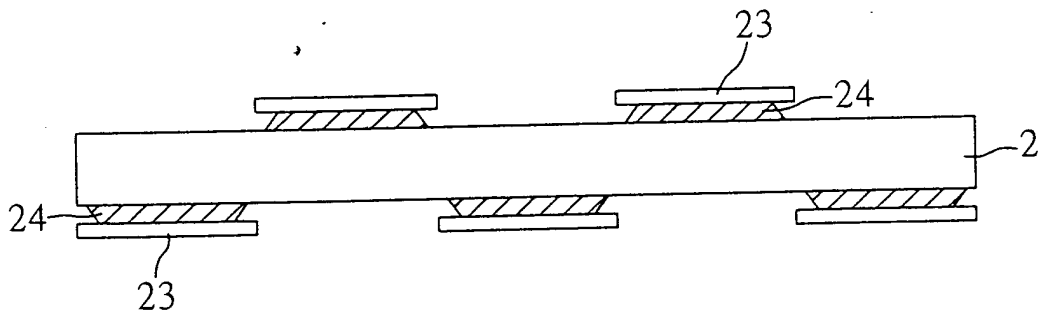
第 2A 圖 (習知技術)



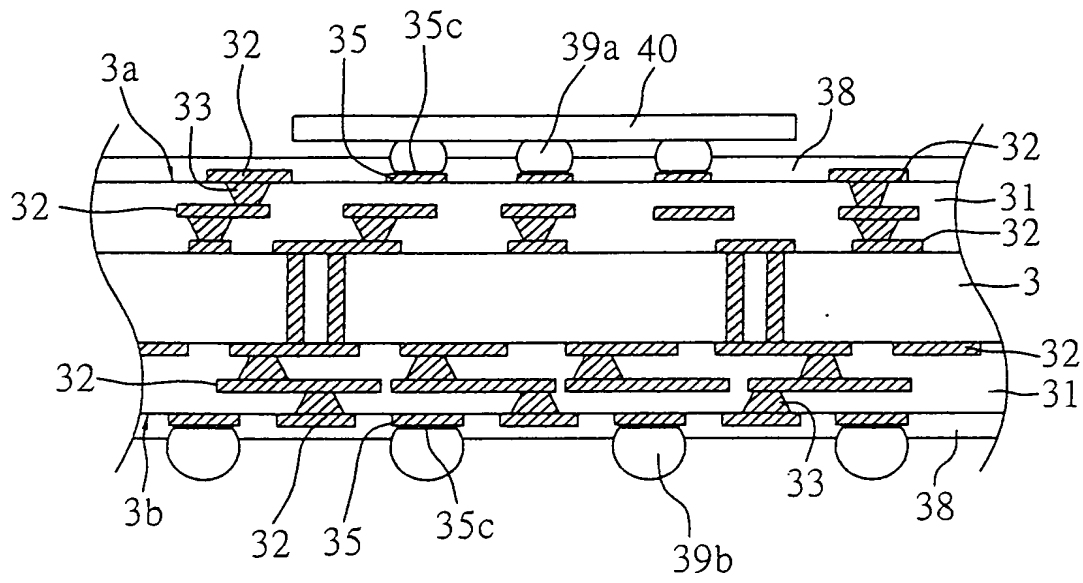
第 2B 圖 (習知技術)



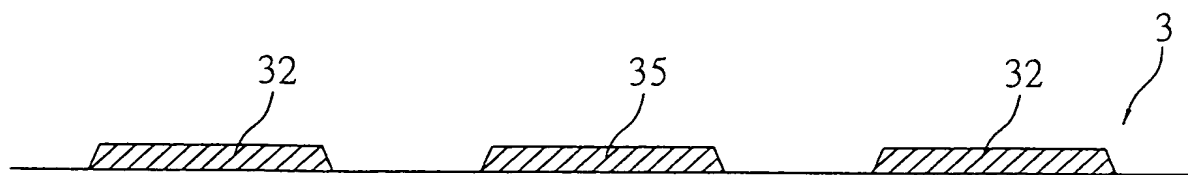
第 2C 圖 (習知技術)



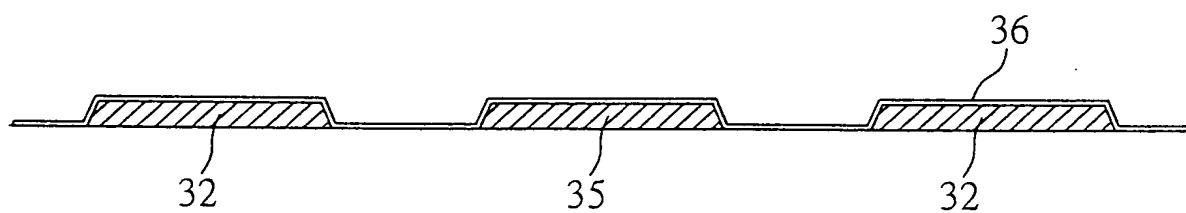
第 2D 圖 (習知技術)



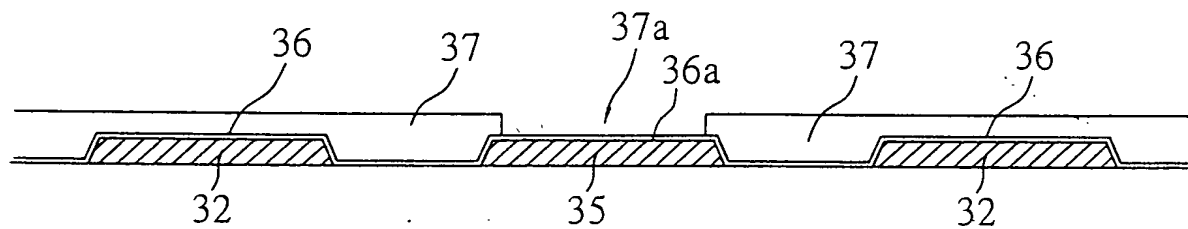
第 3 圖



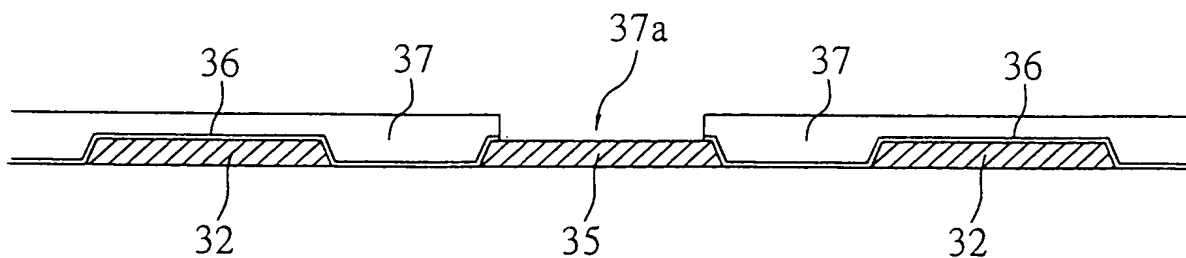
第 4A 圖



第 4B 圖

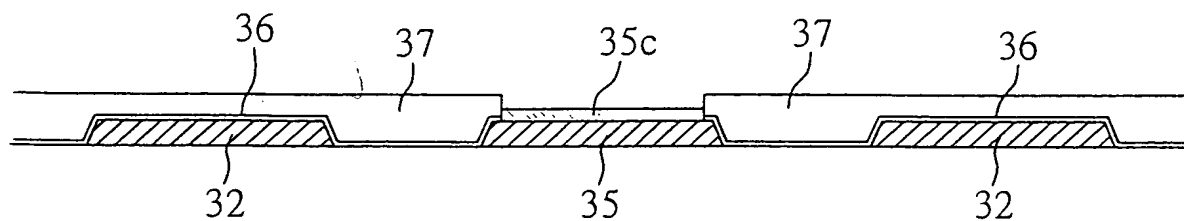


第 4C 圖

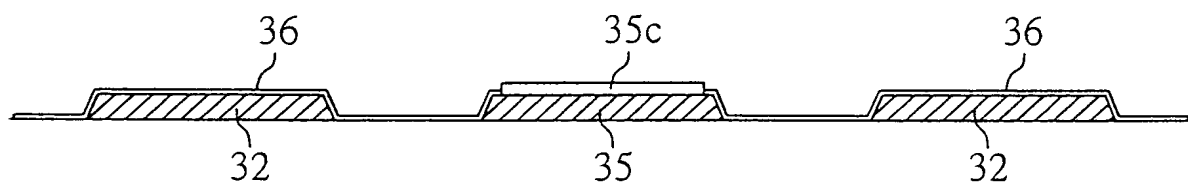


第 4D 圖

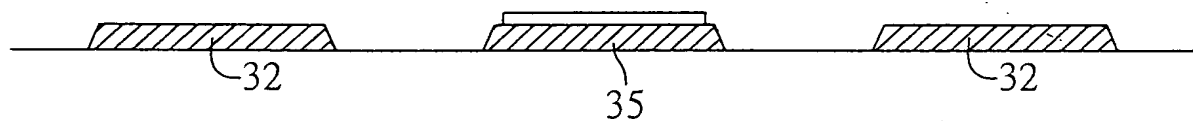




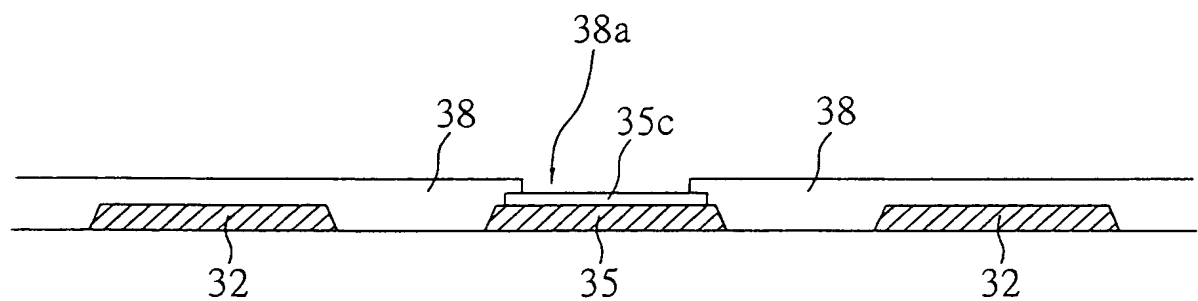
第 4E 圖



第 4F 圖



第 4G 圖



第 4H 圖 (代表圖)